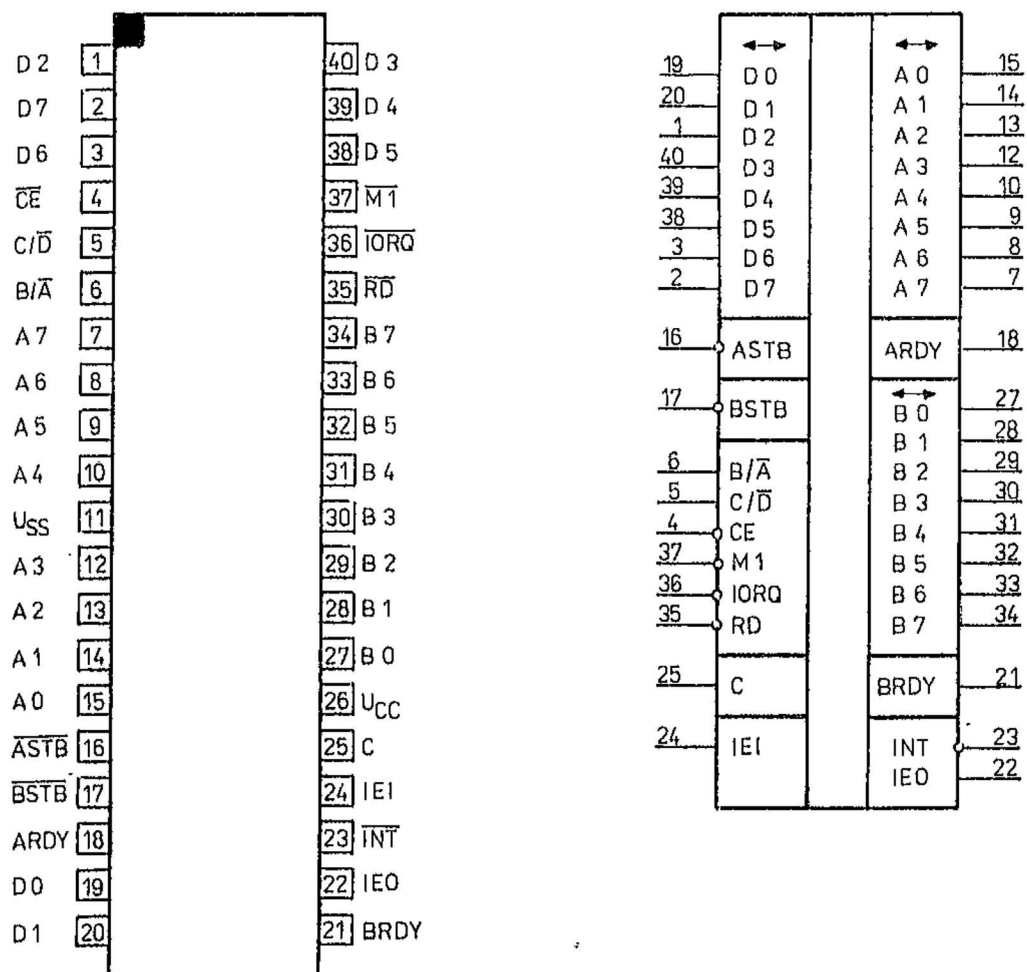




Anschlußbelegung und Schaltzeichen

Typstandard: TGL 42649

Bauform: DIP-40, Plast (Bild 14)

Bezeichnung der Anschlüsse

$\overline{RD}$	CPU-Leseanforderung, Eingang	$\overline{INT}$	Interruptanforderung, Ausgang
B/ $\overline{A}$	Kanalauswahl, Eingang	$\overline{ASTB}$	Kanal-A-Strobe, Eingang
C/ $\overline{D}$	Umschaltung Steuerwort/ Datenwort, Eingang	ARDY	Kanal-A-Quittung, Ausgang
$\overline{CE}$	Bausteinwahl, Eingang	IEI	Interruptfreigabe, Eingang
$\overline{M1}$	CPU-Maschinenzyklus M1, Eingang	IEO	Interruptfreigabe, Ausgang
$\overline{IORQ}$	CPU-Ein-/Ausgabeeanforderung, Eingang	A0 bis A7	Ein-/Ausgänge Port A
$\overline{BSTB}$	Kanal-B-Strobe, Eingang	B0 bis B7	Ein-/Ausgänge Port B
BRDY	Kanal-B-Quittung, Ausgang	D0 bis D7	8-Bit bidirektionaler Daten- bus
		C	Systemtakt

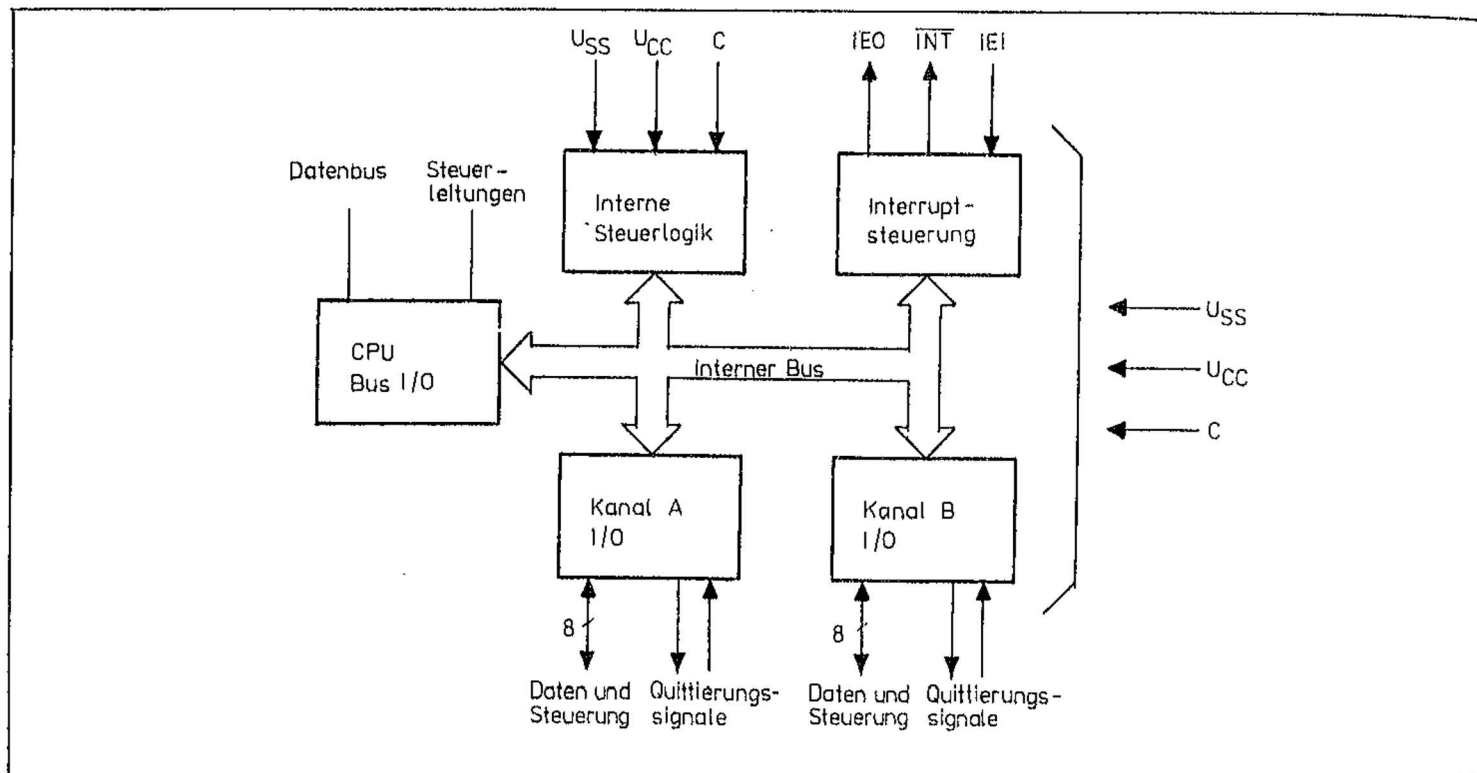
Der PIO ist ein in CMOS-Technologie hergestellter programmierbarer Ein-/Ausgabebaustein mit zwei TTL-kompatiblen Kanälen. Die PIO stellt die Verbindung zwischen der CPU und peripheren Geräten her, ohne daß zusätzliche Logik erforderlich ist.

Folgende Varianten werden vom MME gefertigt

Typ	Taktfrequenz	Stromaufnahme (typisch)	Schlafzustand
U 84 C' 20 DC 02	2,5 MHz	2 mA	möglich
U 84 C 20 DC 04	4,0 MHz	2 mA	möglich
U 84 C 20 DC 02-1	2,5 MHz	2 mA	nicht möglich

Eigenschaften

- Interruptmöglichkeit im Quittungsbetrieb für schnelle Anforderungsbearbeitung,
- folgende Betriebsarten sind möglich:
 - * Byte-Ausgabe (Betriebsart 0)
 - * Byte-Eingabe (Betriebsart 1)
 - * Byte-Ein-/Ausgabe (bidirektionaler Betrieb, nur für Port A möglich)/(Betriebsart 2)
 - * Bit-Ein-/Ausgabe (Betriebsart 3),
- der Interruptbearbeitung kann den Bedingungen des peripheren Gerätes angepaßt programmiert werden,
- die Ein- und Ausgänge sind TTL-kompatibel,
- automatische Interruptvektorerzeugung und Prioritätskodierung durch Kaskadierung der Bausteine,
- die Ausgänge des Ports B sind für den direkten Anschluß von Darlington-Transistoren geeignet,
- die PIO ist in einen Schlafzustand überführbar, bei dem die Stromaufnahme kleiner als 10 μ A wird (außer U 84 C 20 DC 02-1).



Übersichtsschaltplan der PIO

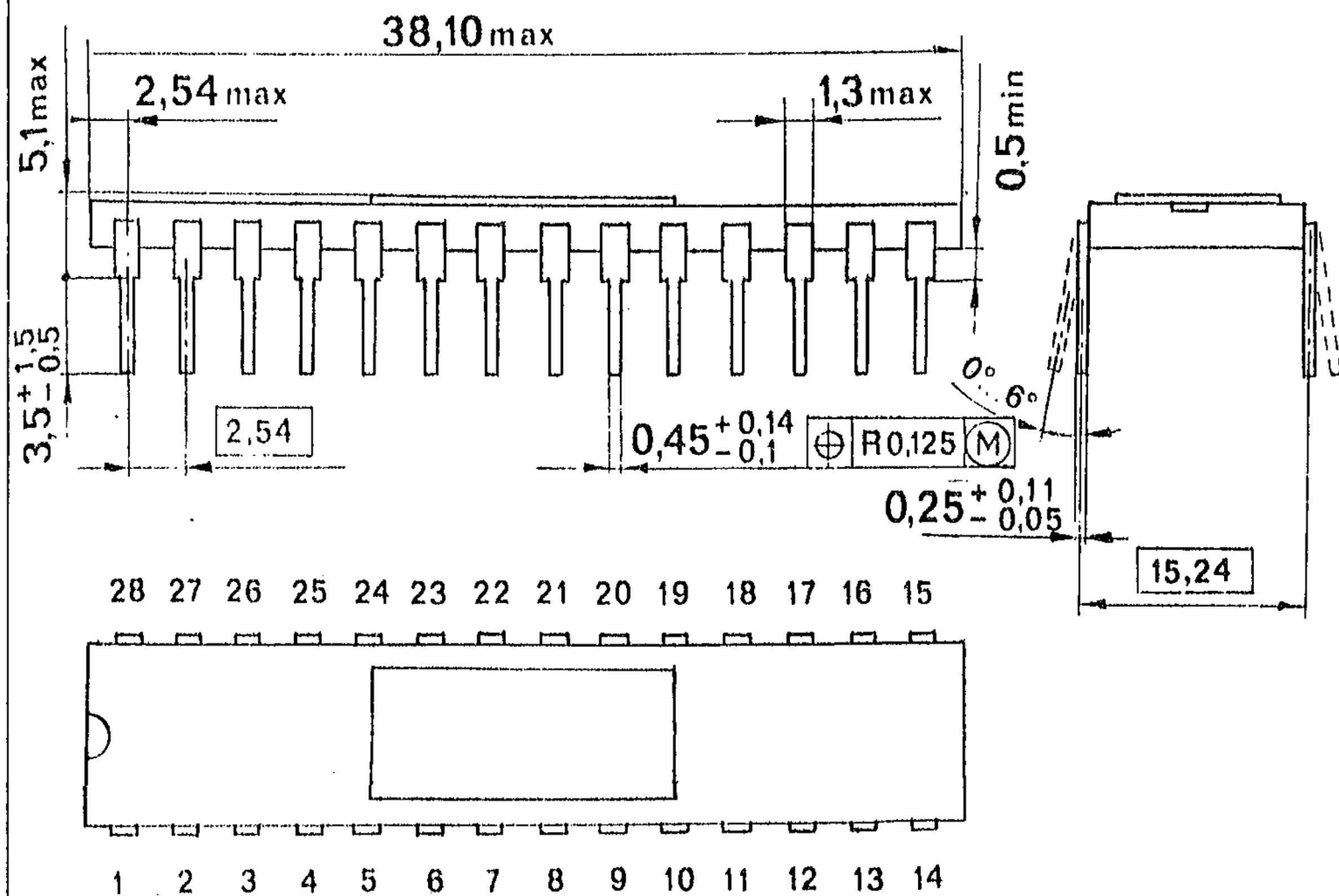


Bild 13 (DIP-28, Keramik)

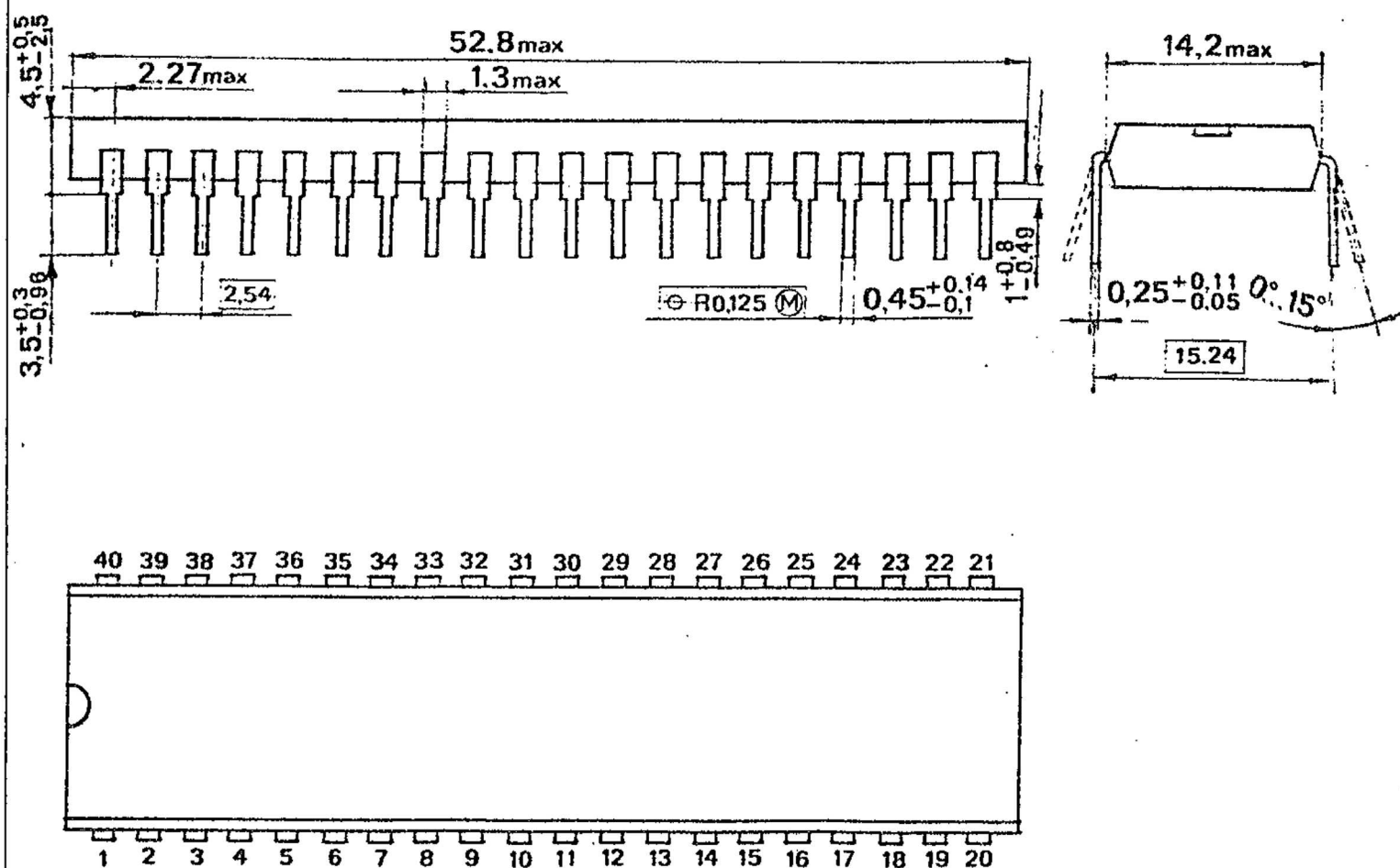


Bild 14 (DIP-40, Plast)