

Anschlußbelegung und Schaltzeichen

Typstandard: TGL 42653  
 Bauform: DIP-40, Plast (Bild 14)

**Bezeichnung der Anschlüsse**

- A0 bis A15     16 Bit Adreßbus, Ausgänge
- D0 bis D7     8 Bit bidirektionaler Datenbus
- $\overline{M1}$         Maschinenzyklus M1, Ausgang
- $\overline{MREQ}$       Speicheranforderung, Ausgang
- $\overline{IORQ}$       Ein-/Ausgabeanforderung, Ausgang
- $\overline{RD}$         Leseanforderung, Ausgang
- $\overline{WR}$         Schreibanforderung, Ausgang
- $\overline{RFSH}$       Refreshsignal, Ausgang
- $\overline{HALT}$       CPU im Software-Halt-Zustand, Ausgang
- $\overline{WAIT}$       Warteanforderung für die CPU, Eingang
- $\overline{INT}$         Interruptanforderung, Eingang
- $\overline{NMI}$         nicht maskierbare Interruptanforderung, Eingang
- $\overline{RESET}$      Zurücksetzen, Eingang
- $\overline{BUSRQ}$     Busanforderung, Eingang
- $\overline{BUSAK}$     Busanforderungsbestätigung, Ausgang

Die CPU ist ein in CMOS-Technologie hergestellter Einchipmikroprozessor. Sie ermöglicht den Aufbau von Mikroprozessorsystemen hoher Leistungsfähigkeit.

Folgende Varianten werden vom MME gefertigt

Typ	Taktfrequenz	Stromaufnahme (typisch)	Schlafzustand
U 84 C 00 DC 02	2,5 MHz	15 mA	möglich
U 84 C 00 DC 04	4,0 MHz	15 mA	möglich
U 84 C 00 DC 02-1	2,5 MHz	15 mA	nicht möglich

### Eigenschaften

- Der Befehlssatz enthält 158 Befehle mit 16-, 8-, 4- und Einzelbit-Instruktionen sowie zusätzliche Adressierweisen (indizierte, relative und Bitadressierung),
- die minimale Befehlsausführzeit der Typen U 84 C 00 DC 02 und U 84 C 00 DC 02-1 beträgt 1,6  $\mu$ s bei einer maximalen Taktfrequenz von 2,5 MHz, die minimale Befehlsausführzeit des U 84 C 00 DC 04 beträgt 1  $\mu$ s bei einer maximalen Taktfrequenz von 4 MHz,
- die CPU enthält 21 interne Register und einen Befehlszähler,
- es existieren 3 schnelle Interruptbehandlungsarten und außerdem ein zusätzlicher, nicht maskierbarer Interrupt,
- 5 V Einphasentakt und eine Standard 5 V Gleichspannung,
- der Anschluß von dynamischen oder statischen Standardspeicherchips ist möglich,
- integrierte dynamische Refresh-Hardware,
- die Eingänge sind voll TTL-kompatibel, die Ausgänge können eine Standard-TTL-Last treiben,
- die CPU ist in einen Schlafzustand (Standby) überführbar, bei dem die Stromaufnahme kleiner als 10  $\mu$ A ist (außer U 84 C 00 DC 02-1).

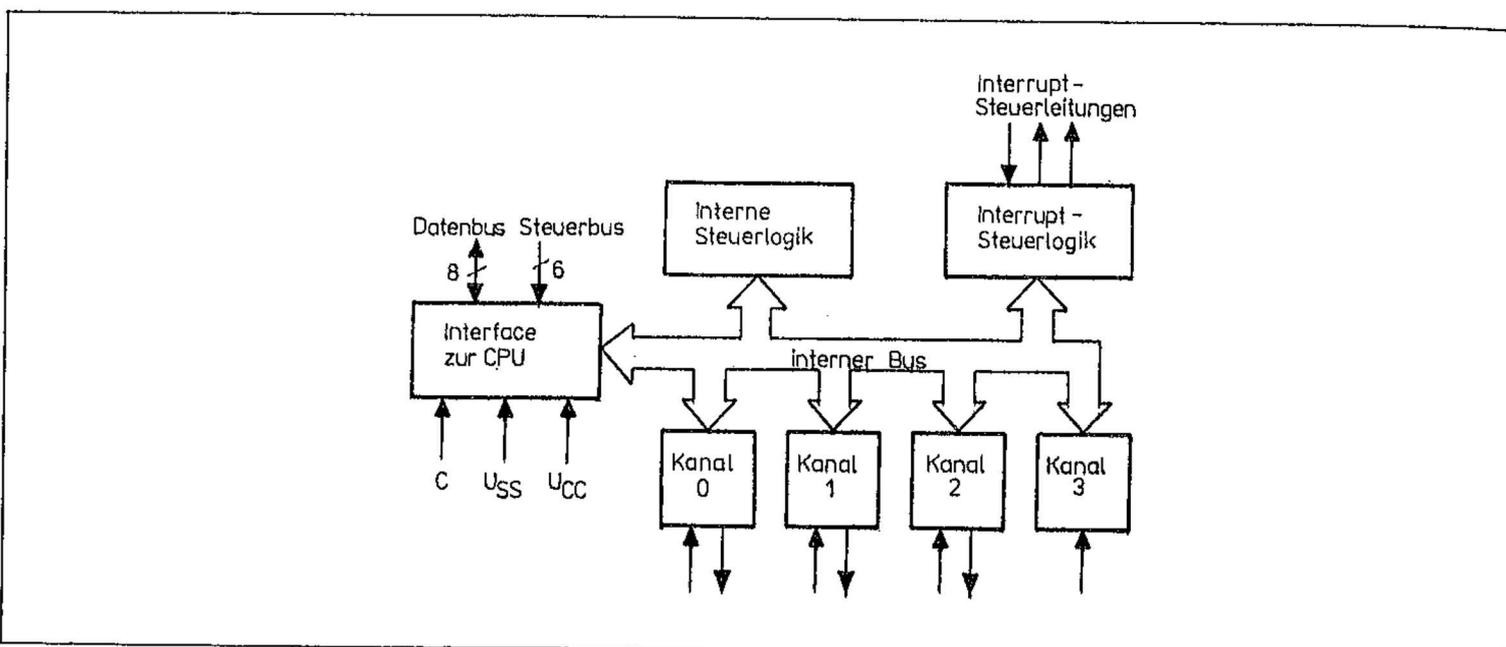
### Befehlsgruppen

- 8 Bit Ladebefehle
- Registertausch
- 8 Bit arithmetische und logische Befehle
- Rotations- und Schiebebefehle
- Ein- und Ausgabebefehle

- Rückkehrbefehle
- 16 Bit arithmetische Befehle
- 16 Bit Ladebefehle
- Blocktransport- und Suchbefehle
- Steuerbefehle
- Bitoperationen
- Rufbefehle
- Sprungbefehle

## Aufbau des CPU-Registersatzes

Hauptregistersatz		Alternativsatz		
Akkumulator A	Flags F	Akkumulator A'	Flags F'	
B	C	B'	C'	Register zur allgemeinen Verwendung
D	E	D'	E'	
H	L	H'	L'	
Interrupt Vektor I	Speicher Refresh R			
Indexregister	IX			Spezial- register
Indexregister	IY			
Kellerzeiger	SP			
Programmzähler	PC			



Übersichtsschaltplan der CPU

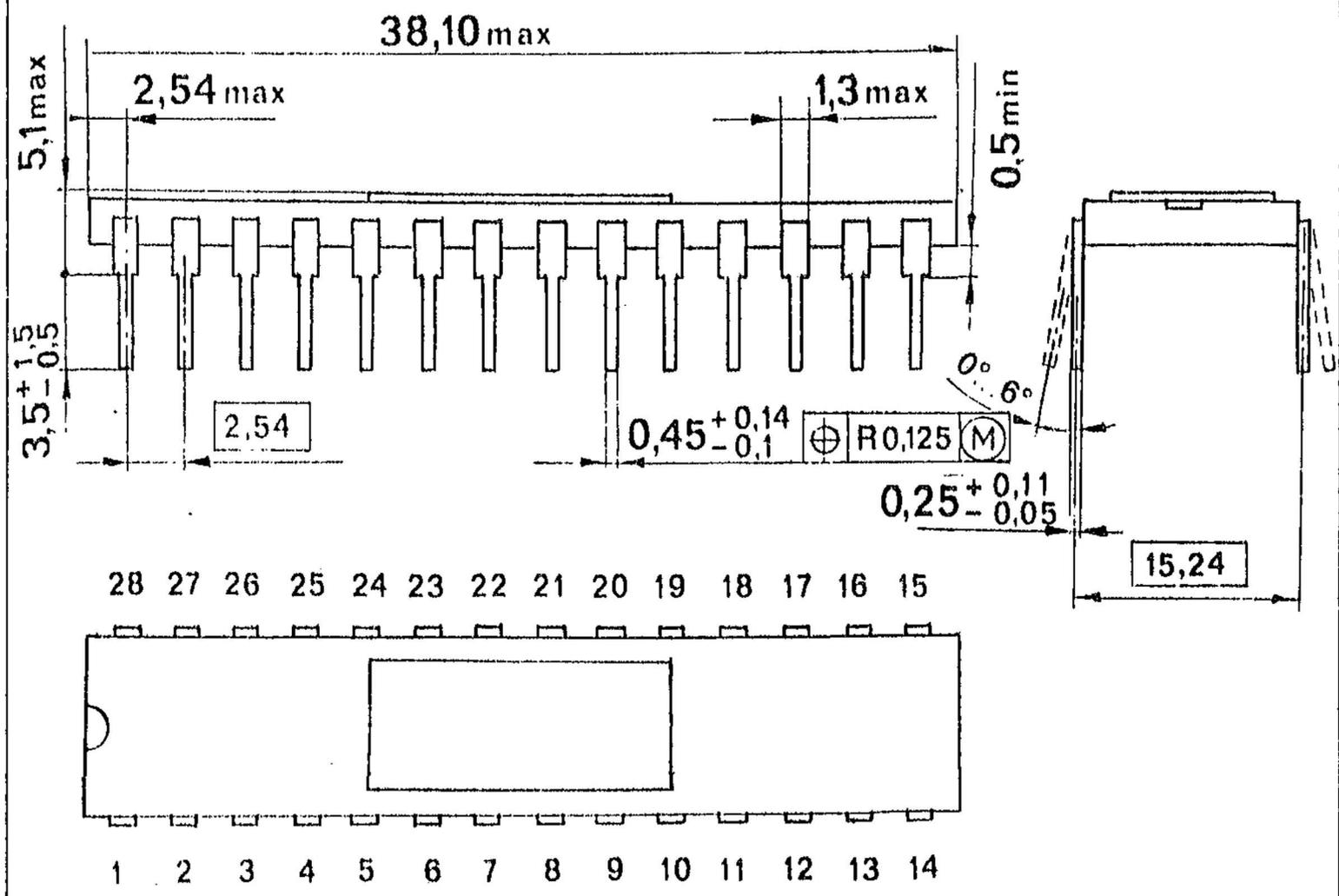


Bild 13 (DIP-28, Keramik)

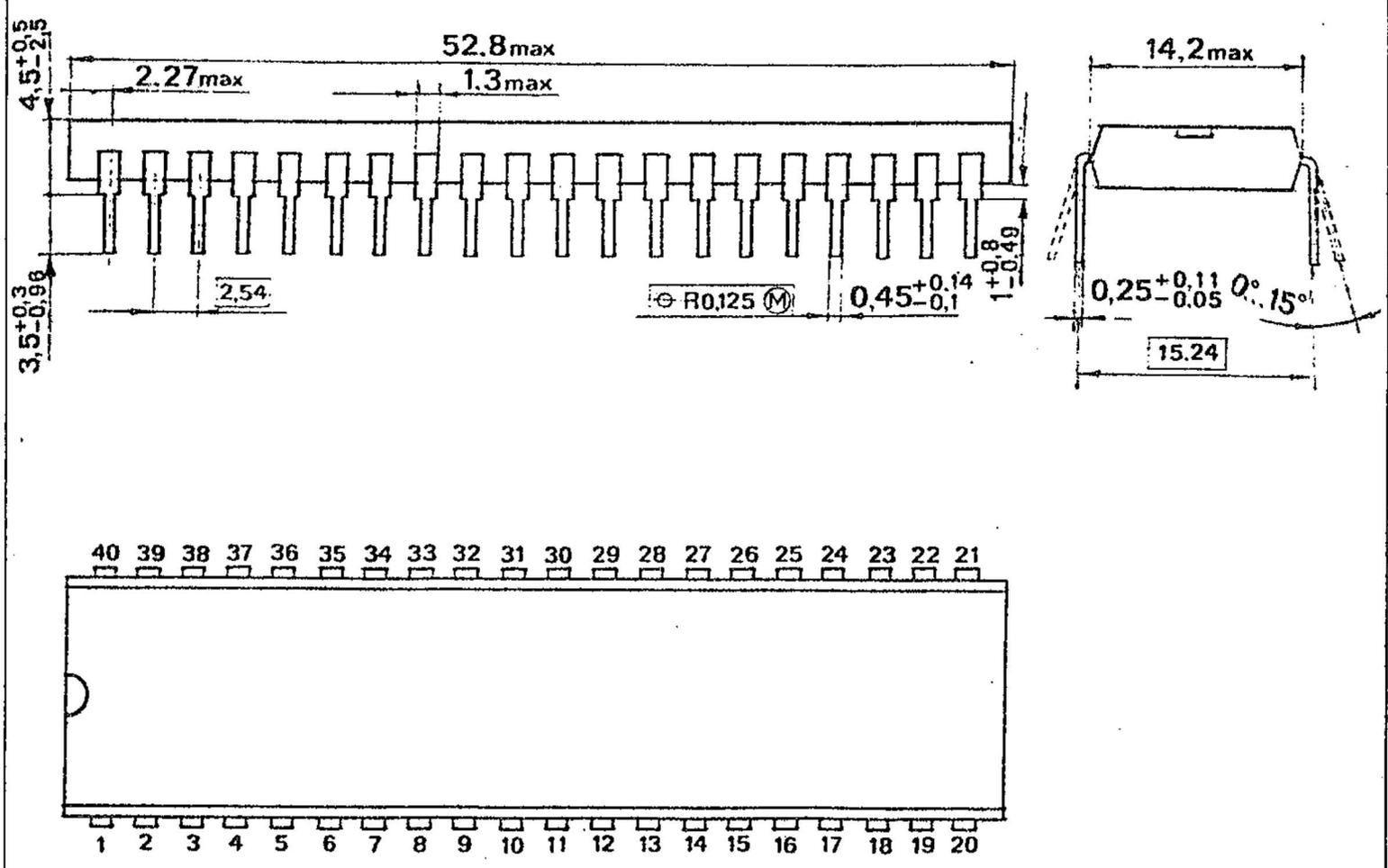


Bild 14 (DIP-40, Plast)