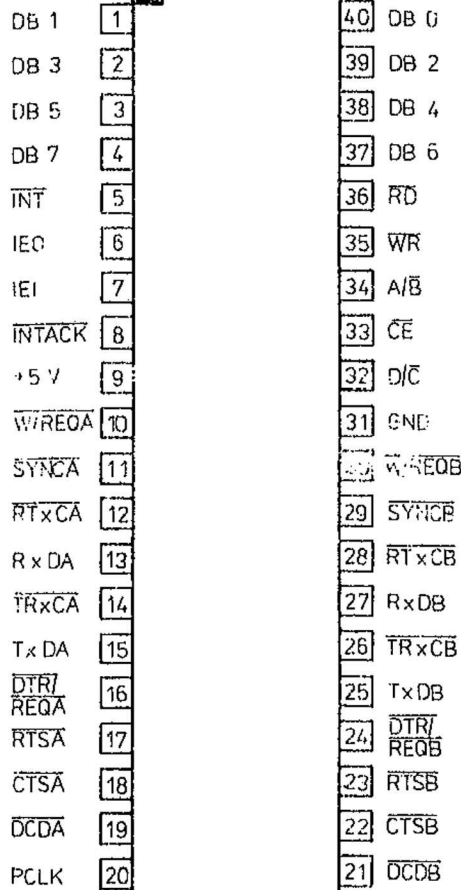
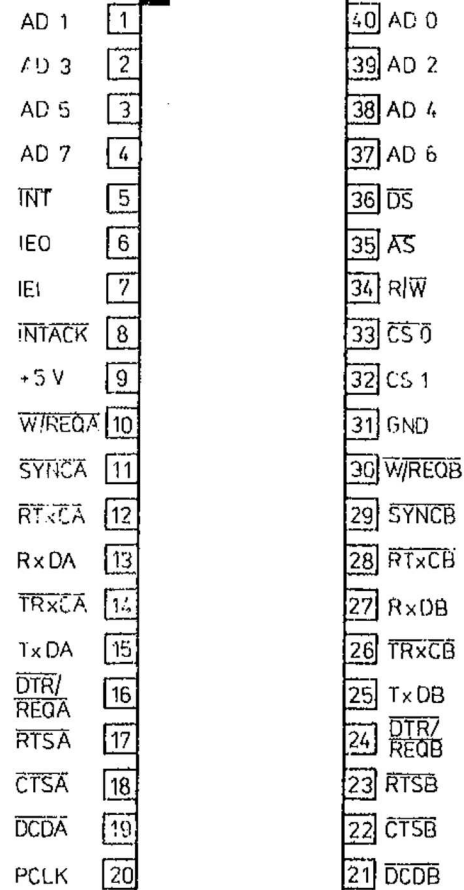


U 82530 DC /
U 8030 DC

Serial Communication Controller (SCC)



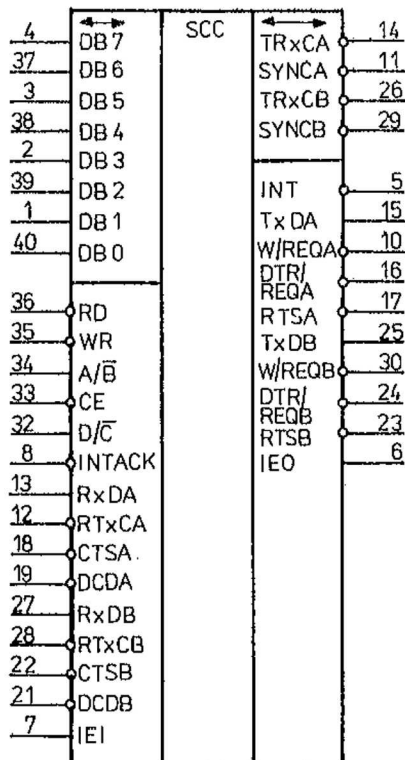
U 82530 DC



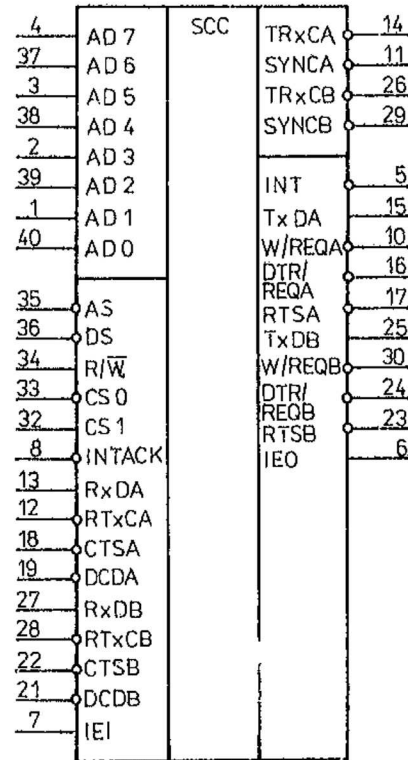
U 8030 DC

Typstandard: TGL 43812
Bauform: DIP-40, Plast (Bild 14)

Typstandard: TGL 43813
Bauform: DIP-40, Plast (Bild 14)



U 82530 DC



U 8030 DC

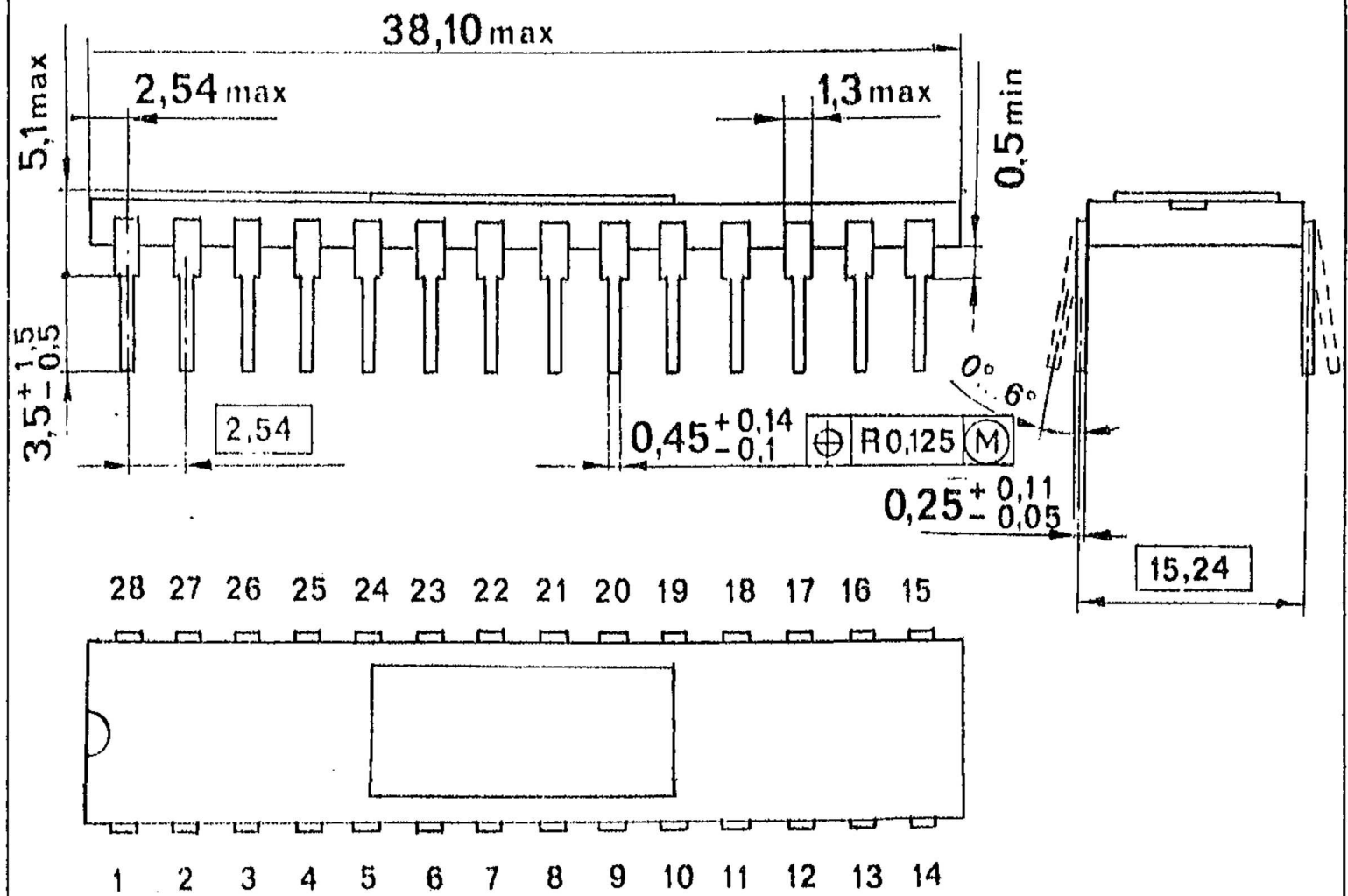


Bild 13 (DIP-28, Keramik)

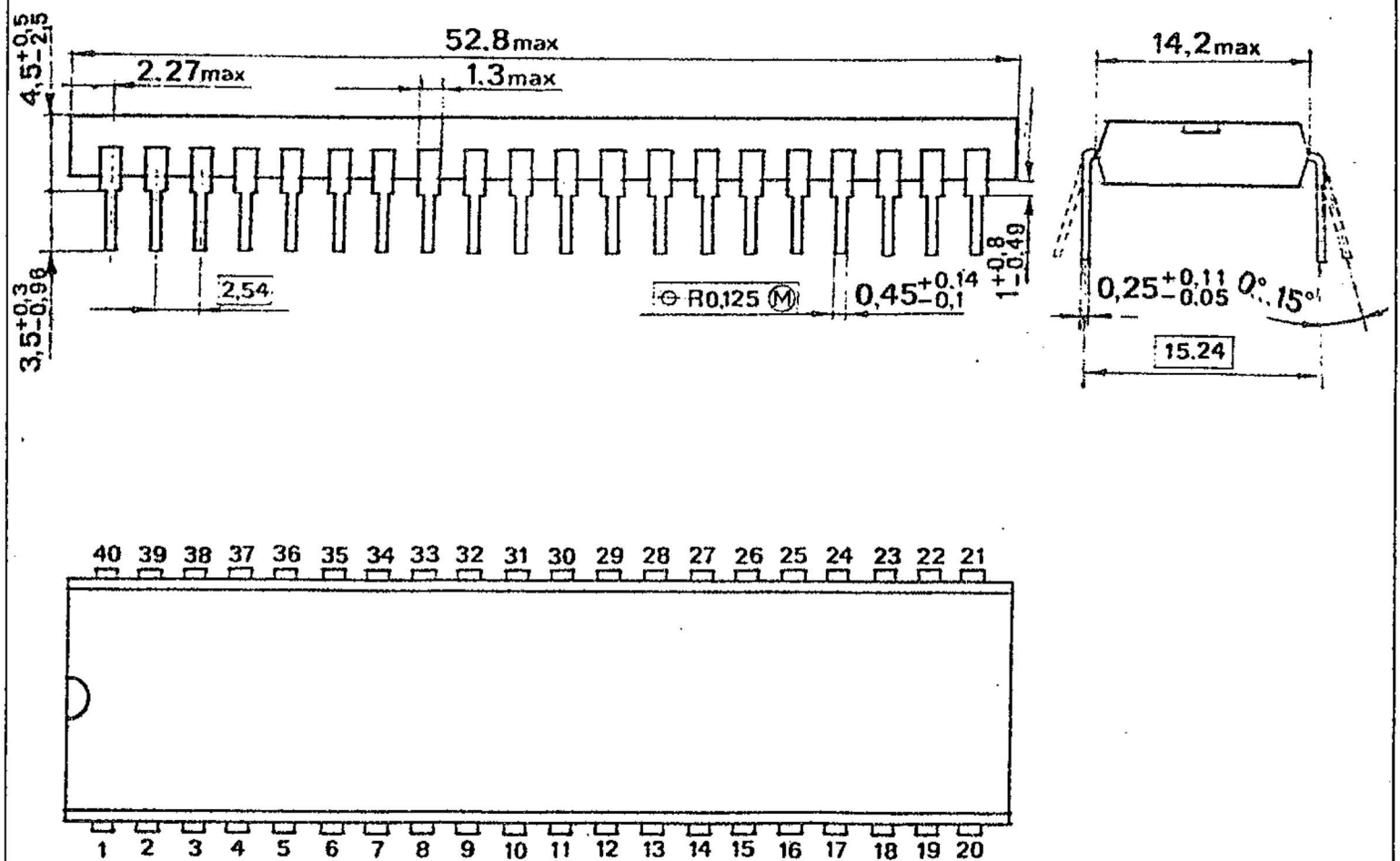


Bild 14 (DIP-40, Plast)

Der Serial Communication Controller (serielle Ein-/Ausgabesteuerung) ist ein programmierbarer peripherer Schaltkreis in n-Kanal-Silicon-Gate-Technologie. Er gewährleistet eine umfassende Unterstützung für die Bearbeitung einer Vielzahl serieller Kommunikationsprotokolle.

Die beiden Varianten unterscheiden sich im CPU-Interface:

- + der U 82530 DC ist für den U 880 und ähnliche Typen geeignet,
- + der U 8030 DC für den U 8000 und ähnliche Typen.

Eigenschaften

- Versorgungsspannung: $5\text{ V} \pm 5\%$,
- max. Taktfrequenz: 4 MHz (6 MHz in Vorbereitung),
- 4 unabhängige serielle Ports: 2 Sender- und 2 Empfängerports,
- synchrone/asynchrone Datenraten,
- alle internen Steuer- und Datenregister sind les- und schreibbar,
- Datenregister sind generell direkt adressierbar, Steuerregister nur beim U 8030 DC,
- beim U 82530 DC muß auf die Steuerregister mit einer Befehlsfolge zugegriffen werden,
- Vektorinterrupt inklusive Status (Ursache), daisy-chain (IEI, IEO) und Polling möglich,
- der WAIT/REQUEST-Ausgang ermöglicht schnelle CPU/DMA-Blockübertragungen, die DTR/REQUEST-Leitung ermöglicht Übertragungen unter DMA-Steuerung in beiden Richtungen (vollduplex),
- Asynchronbetrieb:
 - * 5, 6, 7 oder 8 Bits/Zeichen
 - * 1, 1 1/2 oder 2 Stoppbits,
 - * ungerade, gerade oder keine Parität,
 - * Taktvarianten: x 1, x 16, x 32 oder x 64,
 - * Erzeugung und Erkennen von Unterbrechungen (Break),
 - * Erkennung von Paritäts-, Überlauf- oder Rahmenfehlern;
- byteorientierter Synchronbetrieb,
- SDLC/HDLC-Betrieb
 - * Generierung und Testen von Abbruchfolgen (Abort),
 - * automatische Nulleinfügung und -löschung,
 - * automatisches Einfügen von SDLC-Flags in Sendesequenzen,
 - * Adreßfeldererkennung,
 - * I-Feld-Residuen-Behandlung,
 - * CRC-Generierung und -Test,
 - * SDLC-Loop-Mode mit EOP-Erkennung; Schleifenan- und -abkopplung;
- NRZ-, NRZI oder FM-Kodierung/-Dekodierung;
- Baud-Rate-Generator (BRG) in jedem Kanal,
- Digital Phase Locked Loop (DPLL) für die Taktgewinnung, Quarzoszillator.