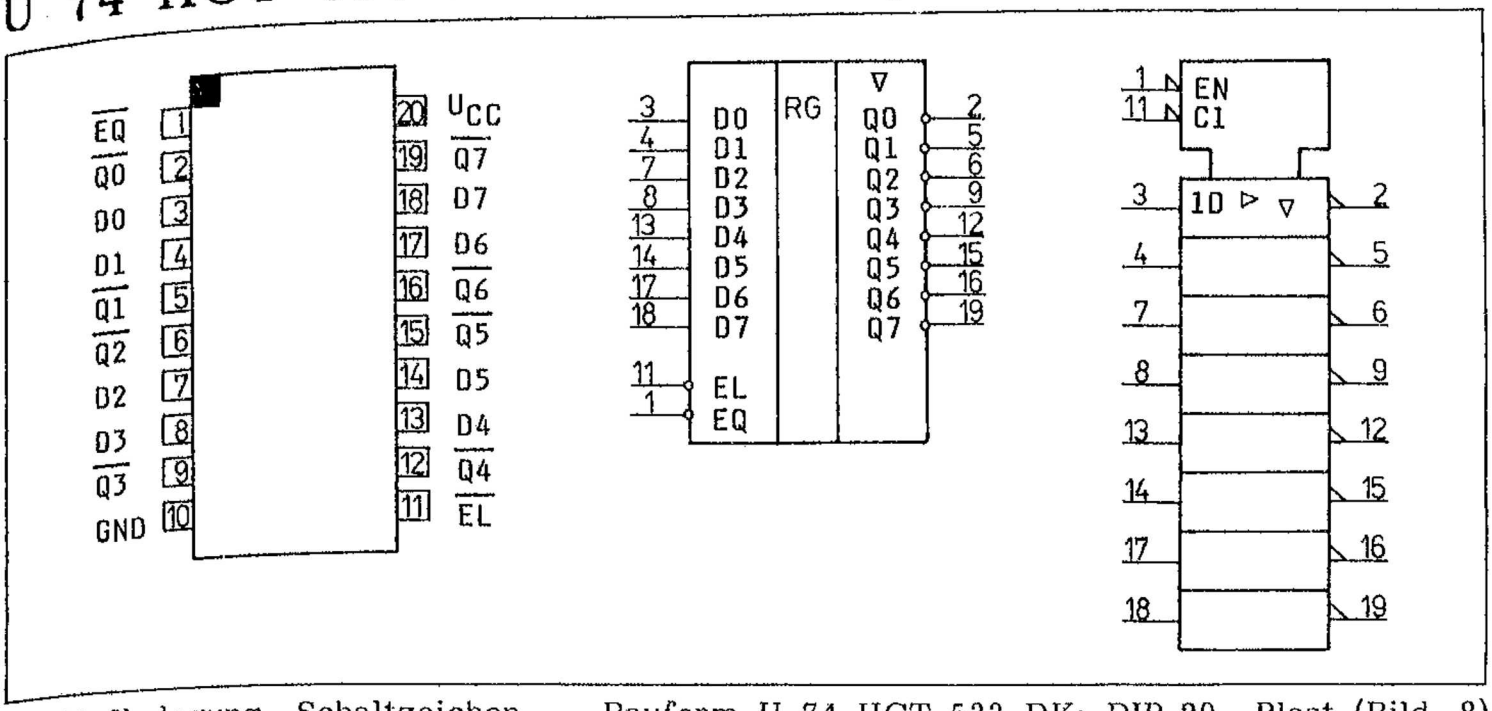
U 74 HCT 533 DK — 8 Bit Transparentlatch, invertierend



Anschlußbelegung, Schaltzeichen und IEC-Zeichen

Bauform U 74 HCT 533 DK: DIP-20, Plast (Bild 8)
Bauform U 74 HCT 533 S: SO-20 (Bild 30)
Typstandard: TGL 42643/10

Eingänge			Ausgänge
$\overline{EQ}$	$\overline{EL}$	Dn	$\overline{Qn}$
L	H	H	L
L	H	L	H
L	L	x	Latch
H	x	x	hochohmig

Funktionstabelle

(n = 0 bis 7)
(x = L oder H)

Ausgewählte Kennwerte

* *Buffer-Tristate-Ausgänge* *

Kennwert	Kurzzeichen	Meßbedingung	min.	max.	Einheit
Verzögerungszeit	t_{PDHL}	T_a = -40 bis 85 °C		43	ns
Dn---►$\overline{Q}$n (H/L-Flanke)	t_{PDHL}	T_a = 25 °C		34	ns
Verzögerungszeit	t_{PDLH}	T_a = -40 bis 85 °C		46	ns
Dn---►$\overline{Q}$n (L/H-Flanke)	t_{PDLH}	T_a = 25 °C		37	ns
Selektionszeit	t_{PZH}	T_a = -40 bis 85 °C		40	ns
hochohmig ---►High	t_{PZH}	T_a = 25 °C		32	ns
Selektionszeit	t_{PZL}	T_a = -40 bis 85 °C		49	ns
hochohmig ---►Low	t_{PZL}	T_a = 25 °C		39	ns
Deselektionszeit	t_{PHZ}	T_a = -40 bis 85 °C		41	ns
High ---►hochohmig	t_{PHZ}	T_a = 25 °C		33	ns
Deselektionszeit	t_{PLZ}	T_a = -40 bis 85 °C		45	ns
Low ---►hochohmig	t_{PLZ}	T_a = 25 °C		36	ns

HCT-Schaltkreise

CMOS-Schaltkreise der Logikbaureihe U 74 HCT 00 DK sind durch folgende Eigenschaften gekennzeichnet:

- Kompatibilität zur internationalen CMOS-Baureihe 74 HCT 00,
- Anschluß- und Funktionskompatibilität zur internationalen LS-TTL-Baureihe 74 LS 00,
- Schaltgeschwindigkeit ähnlich der internationalen LS-TTL-Baureihe.
- Im Frequenzbereich bis etwa 5 MHz geringere Leistungsaufnahme der Schaltkreise gegenüber Schaltkreisen der LS-TTL-Baureihe, damit erhebliche Senkung des Aufwandes für die Realisierung von Stromversorgungseinheiten. Die geringere Leistungsaufnahme bildet die Voraussetzung für die Realisierung portabler, batteriegespeister, komfortabler Geräte und ermöglicht eine höhere Packungsdichte auf Leiterkarten und damit ein geringeres Gehäusevolumen.
- Die höhere Störsicherheit ermöglicht die Realisierung störsicherer Schaltungskonzepte und die Vergrößerung der Anwenderbreite von Logikschaltkreisen.
- Die Übereinstimmung in Anschlußfolge und Funktion sowie eine ähnliche Schaltgeschwindigkeit ermöglicht den Austausch mit Schaltkreisen der LS-TTL-Baureihe 74 LS 00.

Grenzwerte

Betriebsspannung	U_{CC} = -0,5 ... 7,0 V
Eingangsspannung	U_I = -0,5 ... 0,5 V
Ausgangsspannung	U_O = -0,5 ... 0,5 V
Eingangsdiodenstrom	$\lvert I_{IK}\rvert \leq$ 20 mA
Ausgangsdiodenstrom	$\lvert I_{OK}\rvert \leq$ 20 mA
Ausgangsstrom für Standardausgänge	$\lvert I_O\rvert \leq$ 25 mA
Ausgangsstrom für Buffer-Tristate-Ausgänge	$\lvert I_O\rvert \leq$ 35 mA
Betriebsstrom für IS mit Standardausgängen	$\lvert I_{CC}\rvert, \lvert I_{GND}\rvert \leq$ 50 mA
Betriebsstrom für IS mit Buffer-Tristate-Ausgänge	$\lvert I_{CC}\rvert, \lvert I_{GND}\rvert \leq$ 70 mA
Gesamtverlustleistung (DIP-Gehäuse) T_a = -40 ... 70 °C	$P_{tot} \leq$ 350 mW
Gesamtverlustleistung (DIP-Gehäuse) T_a = 85 °C	$P_{tot} \leq$ 250 mW
Lagertemperaturbereich	T_{stg} = -40 ... 85 °C

Betriebsbedingungen HCT-ICs

Betriebsspannung $U_{CC} = 4,5 \ldots 5,5$ V

Eingangsspannung ($t < 15$ ms) $U_I = -1,5 \ldots U_{CC} + 1,5$ V

($t < 15$ ms) $U_I = GND - 0,5 \ldots U_{CC} + 0,5$ V

Eingangsspannung H $U_{IH} \leq 2$ V

Eingangsspannung L $U_{IL} \leq 0,8$ V

Betriebstemperaturbereich $T_a = -40 \ldots 85$ °C

Anstiegs- und Abfallzeit der Eingangsimpulse an Eingängen ohne Schmitt-Trigger-Charakteristik $t_{LH}, t_{HL} \leq 500$ ns

Taktfrequenzen

U 74 HCT 74, 175 DK $f_c \leq 20$ MHz

U 74 HCT 374, 534 DK $f_c \leq 18$ MHz

Taktimpulsbreiten

U 74 HCT 74, 175 DK $t_{CL}, t_{CH} \leq 25$ ns

U 74 HCT 192, 193, 534 DK $t_{CL}, t_{CH} \leq 31$ ns

U 74 HCT 374 DK $t_{CL}, t_{CH} \leq 28$ ns

Zählfrequenzen

U 74 HCT 192, 193 DK $f_{CU}, f_{CD} \leq 16$ MHz

Haltezeiten

U 74 HCT 74 DK $t_{HD} \leq 3$ ns

U 74 HCT 175, 374, 534 DK $t_{HD} \leq 5$ ns

U 74 HCT 192, 193 DK $t_{HD} \leq 0$ ns

Setzzeiten

U 74 HCT 74, 192, 193 374, 534 DK $t_{SD} \leq 25$ ns

U 74 HCT 175 DK $t_{SD} \leq 20$ ns

Statische Kennwerte

Ausgangsspannung H ($U_{CC} = 4,5$ V, $-I_{OH} = 20$ µA) $U_{OH} = 4,4$ V

Ausgangsspannung H ($U_{CC} = 4,5$ V, $-I_{OH} = 4$ mA) für IS mit Standard-Ausgängen $U_{OH} = 3,84$ V

Ausgangsspannung H ($U_{CC} = 4,5$ V, $-I_{OH} = 6$ mA) für IS mit Bus-Treiber-Ausgängen $U_{OH} = 3,84$ V

Ausgangsspannung L ($U_{CC} = 4,5$ V, $I_{OL} = 20$ µA) $U_{OL} = 0,1$ V

Ausgangsspannung L ($U_{CC} = 4,5$ V, $I_{OL} = 4$ mA) für IS mit Standard-Ausgängen $U_{OL} = 0,33$ V

Ausgangsspannung L ($U_{CC} = 4,5$ V, $I_{OL} = 6$ mA) für IS mit Bus-Treiber-Ausgängen $U_{OL} = 0,33$ V

Statische Stromaufnahme ($U_{CC} = 5,5$ V)

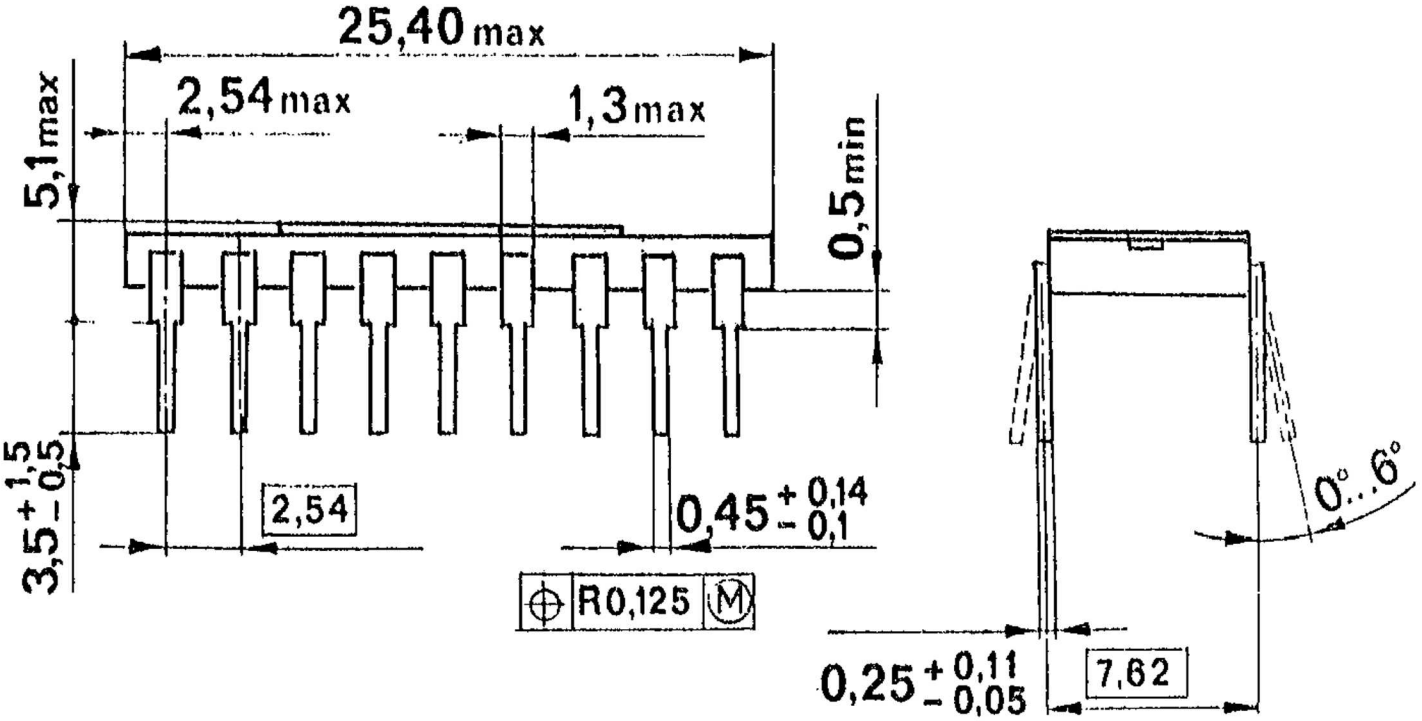
für Gatter-IS $I_{CC} = 20$ µA

für Flip-Flop $I_{CC} = 40$ µA

für MSI-IS $I_{CC} = 80$ µA

Reststrom der Tristate-Ausgänge im hochohmigen Zustand sowie der Ein-/Ausgänge im Zustand Eingabe

$I_{ZH}, |I_{ZL}| = 5$ µA



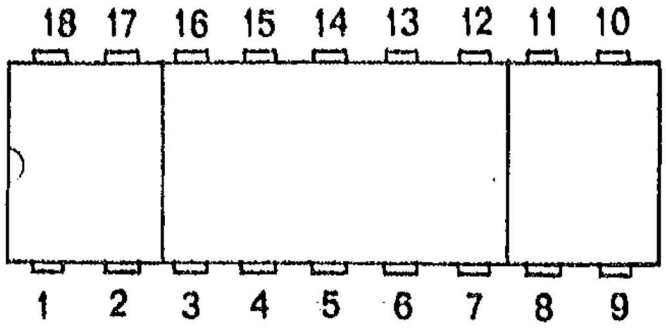
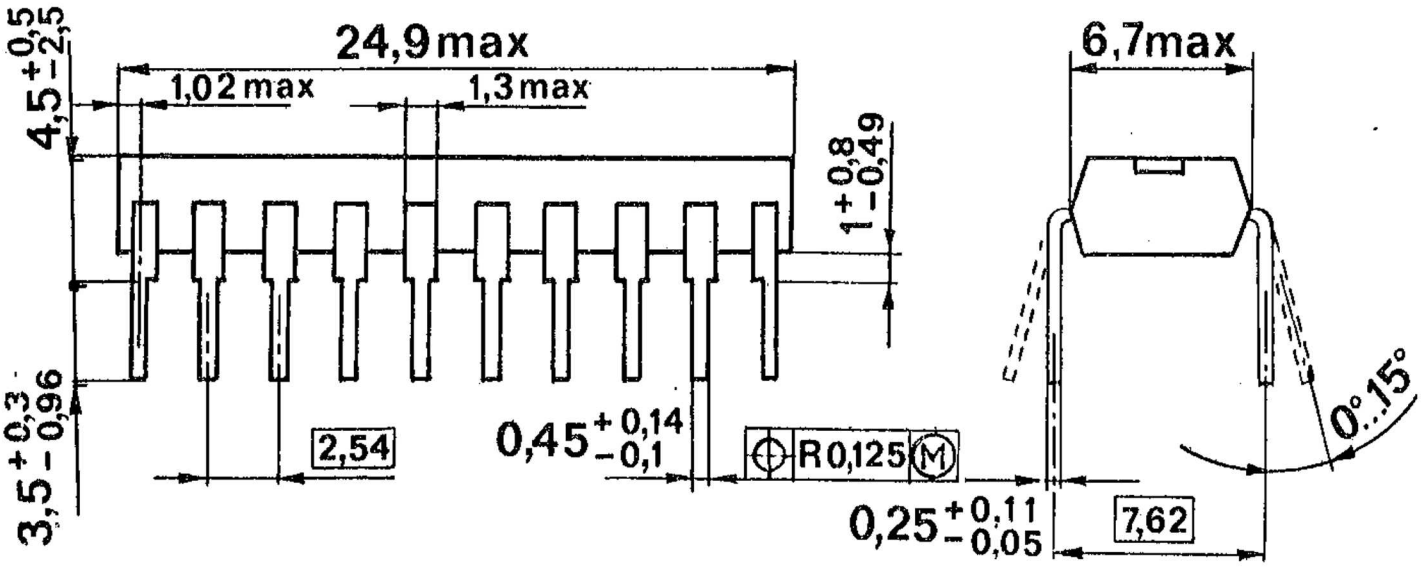


Bild 7 (DIP-18, Keramik)



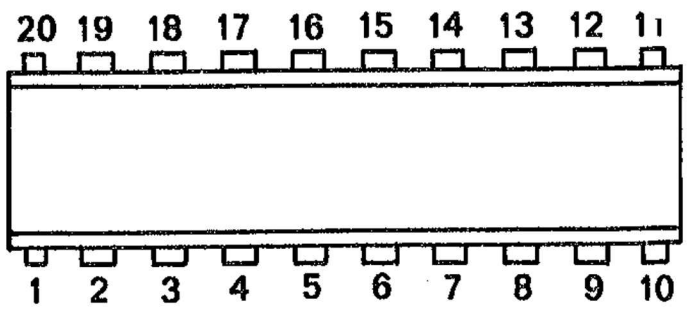
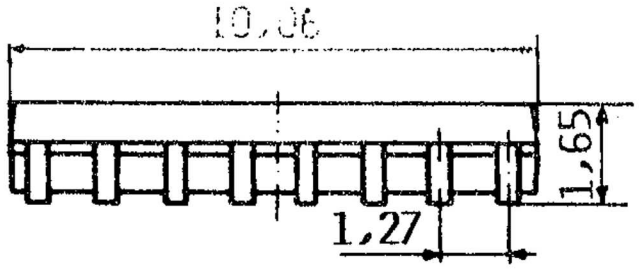
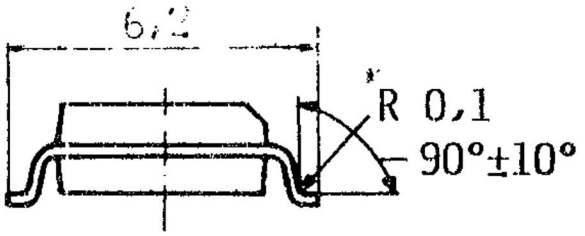
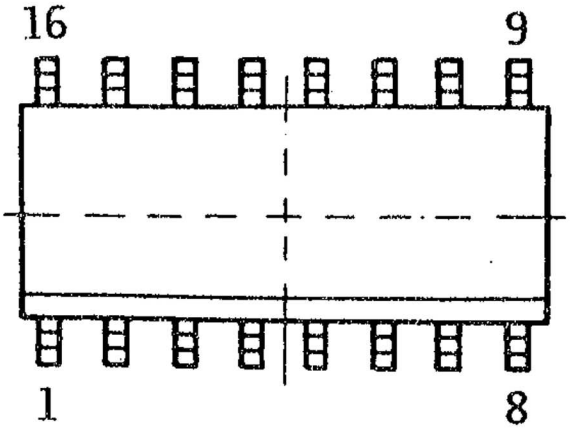


Bild 8 (DIP-20, Plast)



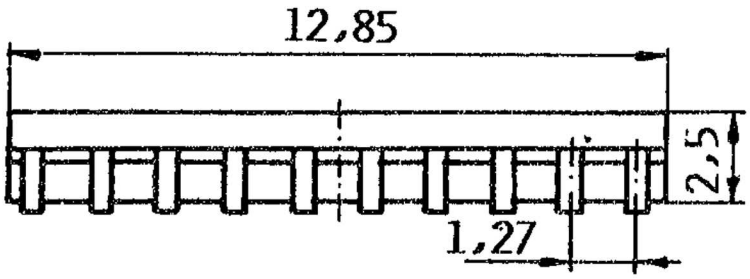


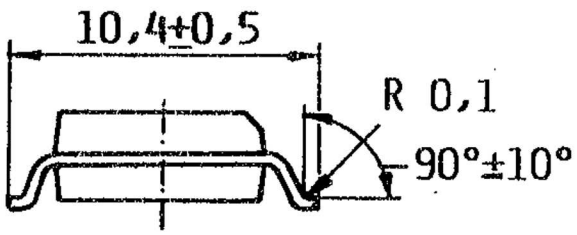


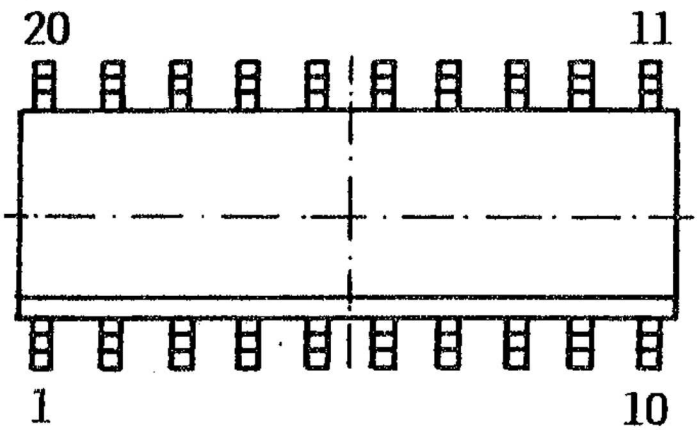
Ebenheitstoleranz: 0,15

Pinlagetoleranz: $\frac{T}{2}$ = 0,125

Bild 29 (SO-16)







Ebenheitstoleranz: 0,15

Pinlagetoleranz: $\frac{T}{2}$ = 0.125

Bild 30 (SO-20)