

Übersichtsschaltplan

Bauform: DIP-18, Plast (Bild 6)

Bezeichnung der Anschlüsse

1	ASYNCHRON-READY (\overline{ARDY})	10	Systemtakt (CLK)
2	SYNCHRON-READY (\overline{SRDY})	11	RESET-Eingang (\overline{RES})
3	SYNCHRON-READY-Freigabe (\overline{SRDYEN})	12	RESET-Ausgang (RESET)
4	\overline{READY}	13	Peripherer Takt (PCLK)
5	Externer Frequenz-Eingang (EFI)	14	nicht belegt (n.c.)
6	Frequenz-/Quarz-Auswahl (F/\overline{C})	15	STATUS-Eingang ($\overline{S0}$)
7	Quarzanschluß (X1)	16	STATUS-Eingang ($\overline{S1}$)
8	Quarzanschluß (X2)	17	ASYNCHRON-READY-Freigabe (\overline{ARDYEN})
9	Masse (M)	18	Betriebsspannung

Der Schaltkreis DS 80612 DC erzeugt die Takt-, Ready- und Reset-Signale für 16 Bit Prozessoren und deren Hilfskomponenten. Hauptbestandteile des Schaltkreises sind der quarzgesteuerte Oszillator, der Taktgenerator mit MOS-kompatiblen Ausgangssignalen, die Ready-Synchronisation und die System-Reset-Generierung.

Grenzwerte

Grenzwert	Kurzzeichen	min.	max.	Einheit
Spannung am Anschluß U_{CC}	U_{CC}	0	7	V
Eingangsspannung	U_I		5,5	V
Spannung an den Ausgängen	U_O	-0,5	5,5	V
Eingangsgleichstrom	$-I_I$		10	mA
Verlustleistung	P_{tot}		1,0	W

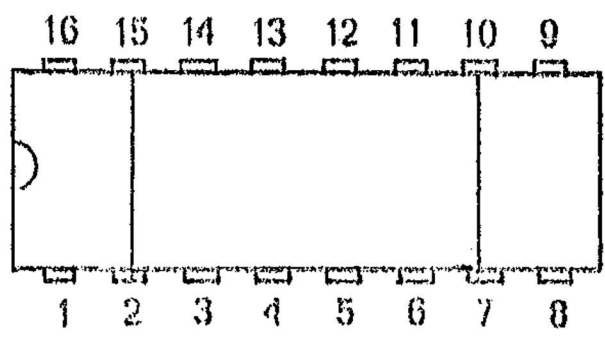
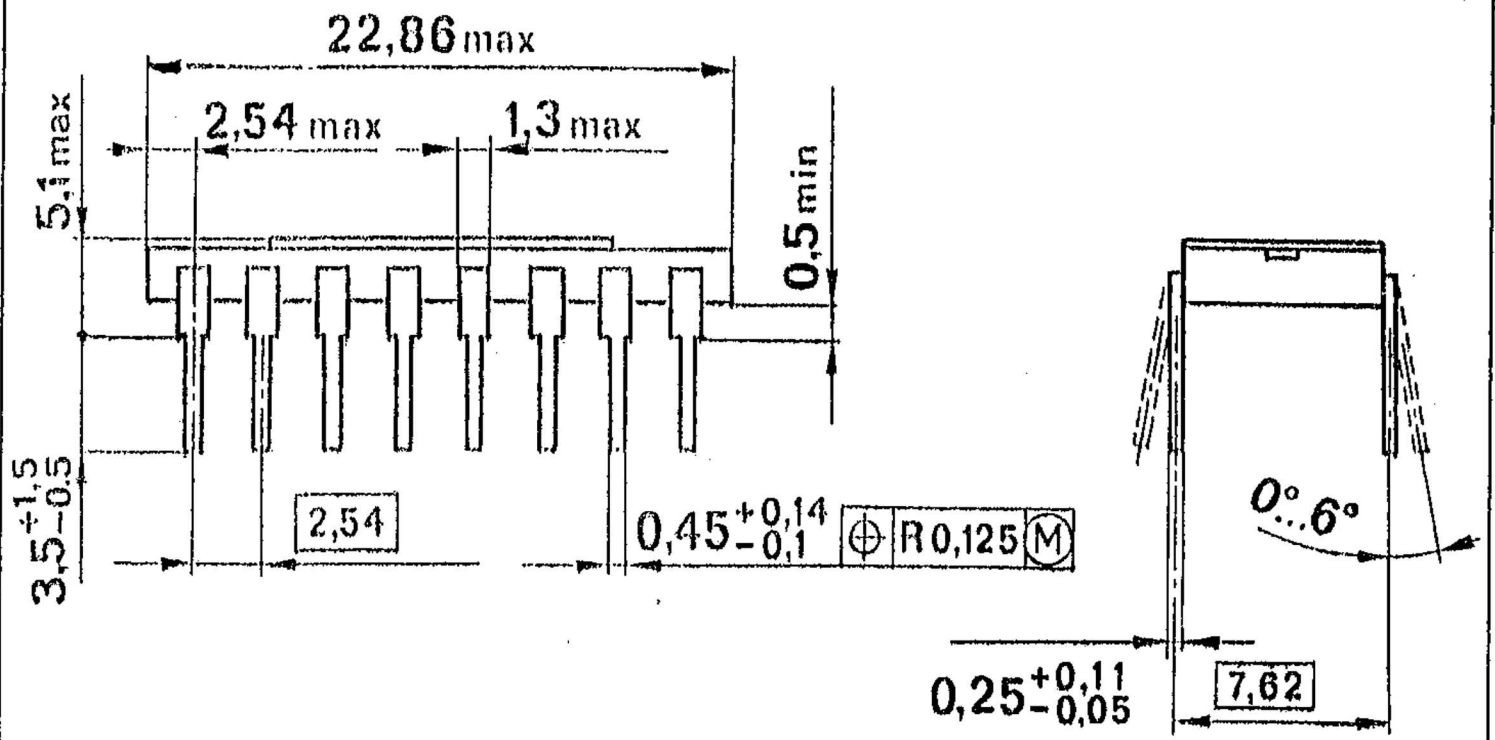


Bild 5 (DIP-16, Keramik)

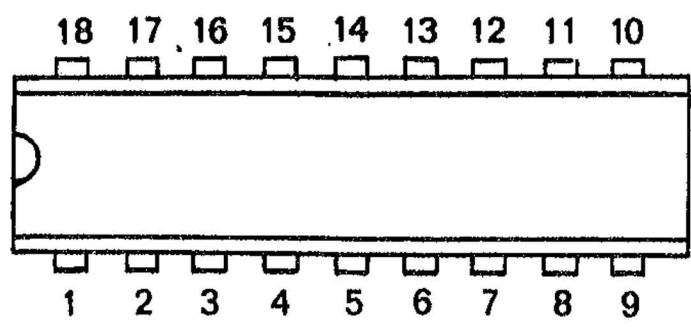
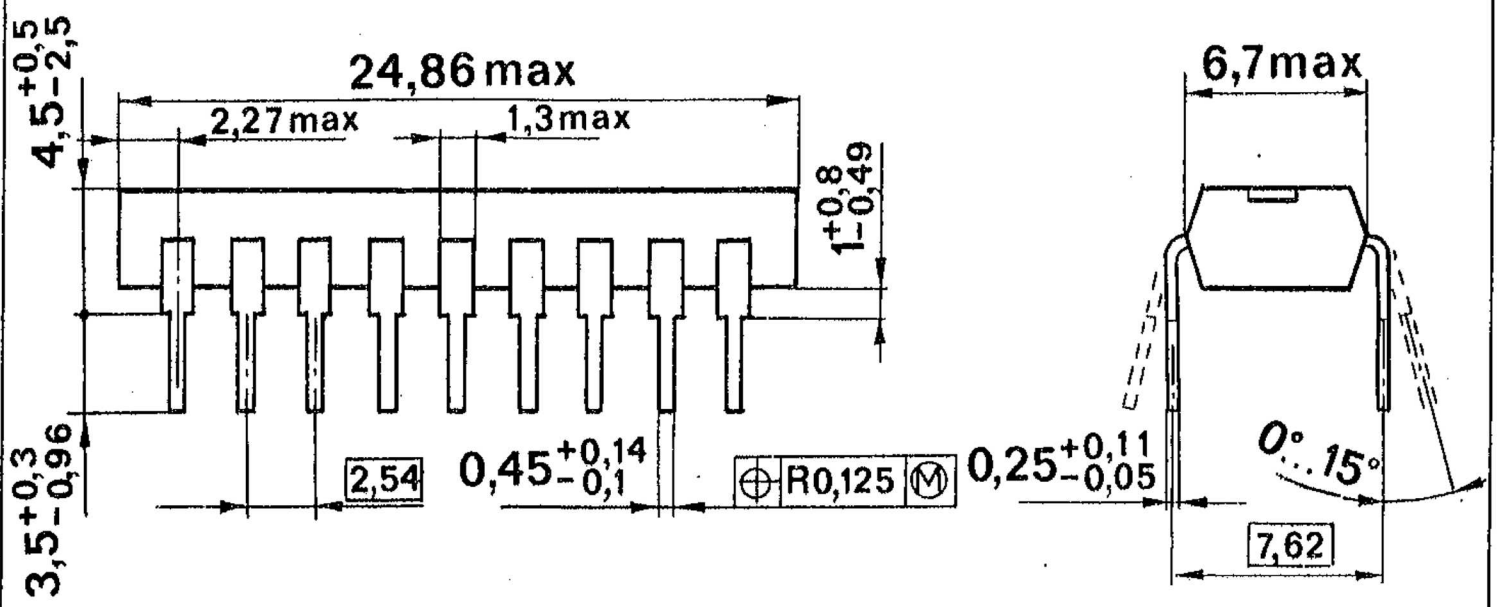


Bild 6 (DIP-18, Plast)